

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-281997

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl.⁶

G 0 2 F 1/1345

1/136

識別記号

5 0 0

F I

G 0 2 F 1/1345

1/136

5 0 0

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平10-79839

(22) 出願日 平成10年(1998)3月26日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 後藤 康正

埼玉県深谷市幡経町一丁目9番2号 株式

会社東芝深谷電子工場内

(72) 発明者 今井 信雄

埼玉県深谷市幡経町一丁目9番2号 株式

会社東芝深谷電子工場内

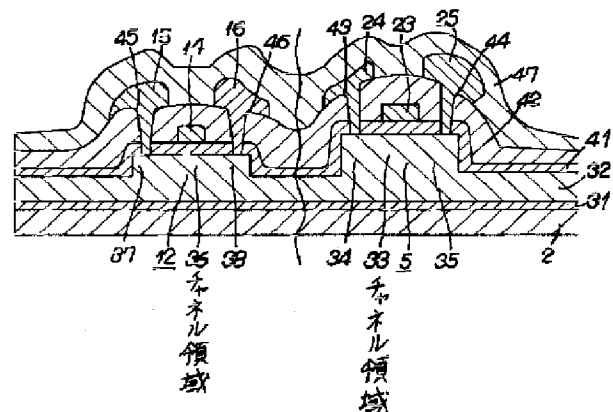
(74) 代理人 弁理士 樺澤 襄 (外2名)

(54) 【発明の名称】 回路基板、その製造方法および液晶表示装置

(57) 【要約】

【課題】 特性の異なる薄膜トランジスタを有する液晶表示装置を提供する。

【解決手段】 多結晶シリコン膜32の画素用の薄膜トランジスタ6の対応する部分に多結晶シリコンの平均粒径が0.2 μ mと小さく移動度が小さい膜厚のチャネル領域33、ソース領域34およびドレイン領域35を形成する。駆動回路用の薄膜トランジスタ12の対応する部分に多結晶シリコンの平均粒径が0.5 μ mと大きく移動度が大きいやや膜薄でチャネル領域33とは不純物濃度が異なるチャネル領域36、ソース領域37およびドレイン領域38を形成する。膜厚が厚い領域では低移動度になり、膜厚が薄い領域では高移動度で閾値電圧が厚膜の領域より正側にシフトする。



【特許請求の範囲】

【請求項1】 多結晶シリコンのチャネル領域を有する薄膜トランジスタが複数設けられた回路基板において、前記薄膜トランジスタのチャネル領域の膜厚が異なることを特徴とする回路基板。

【請求項2】 チャネル領域の不純物濃度が異なることを特徴とする請求項1記載の回路基板。

【請求項3】 チャネル領域は、第1の非晶質シリコンにより形成された第1の多結晶シリコンおよび第2の非晶質シリコンにより形成された第2の多結晶シリコンが積層して形成され、

第1の多結晶シリコンおよび第2の多結晶シリコンの少なくとも一方は、p型不純物およびn型不純物のいずれかを含有していることを特徴とする回路基板。

【請求項4】 多結晶シリコンのチャネル領域を有する薄膜トランジスタが複数設けられた回路基板の製造方法において、
基板上に第1の非晶質シリコンを形成する工程と、
前記第1の非晶質シリコンの厚さを異ならせる工程と、
レーザビームアニールにより第1の非晶質シリコンを多結晶シリコンにする工程とを具備することを特徴とする回路基板の製造方法。

【請求項5】 第1の非晶質シリコンの厚さを異ならせる工程は、
前記第1の非晶質シリコンの一部にレジストを形成する工程と、
このレジストをマスクとして酸化洗浄する工程と、
この酸化された第1の非晶質シリコンをエッチングする工程とを具備することを特徴とする請求項4記載の回路基板の製造方法。

【請求項6】 第1の非晶質シリコンの厚さを異ならせた後に第2の非晶質シリコンを成膜する工程を具備することを特徴とする請求項4または5記載の回路基板の製造方法。

【請求項7】 第1の非晶質シリコンにより形成された第1の多結晶シリコンおよび第2の非晶質シリコンにより形成された第2の多結晶シリコンの少なくとも一方は、p型不純物およびn型不純物のいずれかを含有していることを特徴とする回路基板の製造方法。

【請求項8】 請求項1ないし3いずれか記載の回路基板をアレイ基板とし、
このアレイ基板に対向して配設された対向基板と、
前記アレイ基板および対向基板間に配設された液晶とを具備したことを特徴とした液晶表示装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、複数の薄膜トランジスタが配設された回路基板、その製造方法および液晶表示装置に関する。

【0002】

【従来の技術】 一般に、プラズマ、発光ダイオードおよび液晶などの表示デバイスは、表示部の薄形化が可能であり、事務機器やコンピュータなどの表示装置あるいは特殊な表示装置への用途として要求が高まっている。

【0003】 これらの中で、非晶質であるアモルファス・シリコン(a-Si)または結晶相を有する多結晶シリコン(ポリシリコン: poly-Si)を用いた薄膜トランジスタ(Thin Film Transistor)をスイッチング素子としてマトリクス状に配設した薄膜トランジスタの液晶表示装置(TFT-LCD)は、表示品位が高く、低消費電力である。

【0004】 特に、多結晶シリコンを用いた薄膜トランジスタは、非結晶シリコンを用いた薄膜トランジスタよりも移動度が10から100倍程度高いため、画素用のスイッチング素子として用いるのみならず、周辺駆動回路に多結晶シリコンの薄膜トランジスタを用いて、画素用の薄膜トランジスタと駆動回路用の薄膜トランジスタを同一基板上に同時に形成する駆動回路一体型の薄膜トランジスタの液晶表示装置が開発されている。

【0005】 また、多結晶シリコンを薄膜トランジスタの液晶表示装置に用いる際の課題として、駆動回路用の薄膜トランジスタと画素用の薄膜トランジスタでは要求される性能が異なることが挙げられる。すなわち、画素用の薄膜トランジスタでは移動度は $5 \sim 30 \text{ cm}^2/\text{Vs}$ 程度、駆動回路用の薄膜トランジスタでは $60 \sim 150 \text{ cm}^2/\text{Vs}$ 程度が必要である。また、閾値電圧(V_{th})についても、駆動回路用はnチャネルの薄膜トランジスタでは1.0V \sim 3.0V、pチャネルの薄膜トランジスタでは $-2.0 \text{ V} \sim -4.0 \text{ V}$ であり、画素用はnチャネルの薄膜トランジスタで2.0V \sim 4.0Vと要求される値が異なるため閾値電圧を独立に制御する必要がある。

【0006】 このような課題に対し従来は、移動度に関しては、画素用の薄膜トランジスタに非晶質シリコンを用い、駆動回路用の薄膜トランジスタに多結晶シリコンを用いたハイブリッド型の薄膜トランジスタが知られている。

【0007】 ところが、ハイブリッド型の薄膜トランジスタは製造プロセスが複雑なこと、および、非晶質シリコンおよび多結晶シリコンを同一基板上に作成するために駆動回路用の薄膜トランジスタと画素用の薄膜トランジスタに長い配線が必要である。すなわち、ハイブリッド型の薄膜トランジスタの製造方法は、駆動回路用の薄膜トランジスタのみエキシマレーザアニール(ELA)などでポリ化する方法を用いていたため、多結晶シリコンと非晶質シリコンの境界は機械的な合わせ精度を考慮すると0.5mm程度しかないために、境界には長い配線を設けなければならない、多結晶シリコンの薄膜トランジスタの液晶表示装置の特徴の狭額縁化に相反する。さらに、配線が長い、配線抵抗が増加し事実上の駆動能

力も低下する。

【0008】また、エキシマレーザアニールのフルエンスを画素部用と駆動回路用とで異ならせて粒径の異なるハイブリッドの多結晶シリコンの薄膜トランジスタを形成し、画素部用の薄膜トランジスタを低移動度とし、駆動回路用の薄膜トランジスタを高移動度とする場合も同様な問題を有している。

【0009】さらに、閾値電圧に関しては、チャネルドープにより活性層中に不純物を打ち込み変化させていたが、pチャネルの薄膜トランジスタとnチャネルの薄膜トランジスタと、あるいは、画素用の薄膜トランジスタと駆動回路用の薄膜トランジスタとでは閾値電圧をそれぞれ独立してコントロールするために、マスクをして不純物の打ち込みをしなければならぬため工程が煩雑になる。

【0010】

【発明が解決しようとする課題】上述のように、同一基板内には、移動度および閾値電圧が異なる薄膜トランジスタを容易に形成できない問題を有している。

【0011】本発明は、上記問題点に鑑みなされたもので、特性の異なる薄膜トランジスタを有する回路基板、その製造方法および液晶表示装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、多結晶シリコンのチャネル領域を有する薄膜トランジスタが複数設けられた回路基板において、前記薄膜トランジスタのチャネル領域の膜厚が異なるものである。

【0013】そして、薄膜トランジスタのチャネル領域の膜厚を異ならせることにより、薄膜トランジスタの移動度などの特性を異ならせる。

【0014】また、チャネル領域の不純物濃度が異なるもので、薄膜トランジスタの閾値電圧を異ならせる。

【0015】さらに、チャネル領域は、第1の非晶質シリコンにより形成された第1の多結晶シリコンおよび第2の非晶質シリコンにより形成された第2の多結晶シリコンが積層して形成され、第1の多結晶シリコンおよび第2の多結晶シリコンの少なくとも一方は、p型不純物およびn型不純物のいずれかを含有しているもので、第1の多結晶シリコンおよび第2の多結晶シリコンのいずれかに、p型不純物またはn型不純物を含有することにより、所望の特性の薄膜トランジスタを形成する。

【0016】また、本発明は、多結晶シリコンのチャネル領域を有する薄膜トランジスタが複数設けられた回路基板の製造方法において、基板上に第1の非晶質シリコンを形成する工程と、前記第1の非晶質シリコンの厚さを異ならせる工程と、レーザビームアニールにより第1の非晶質シリコンを多結晶シリコンにする工程とを具備するものである。

【0017】そして、厚さが異なる第1の非晶質シリコ

ンをレーザビームアニールすると、膜厚の薄い部分の多結晶シリコンの粒径は大きくなって移動度を大きくでき、膜厚の厚い部分の多結晶シリコンの粒径は小さくなって移動度を小さくでき、薄膜トランジスタの特性を異ならせられる。

【0018】さらに、第1の非晶質シリコンの厚さを異ならせる工程は、前記第1の非晶質シリコンの一部にレジストを形成する工程と、このレジストをマスクとして酸化洗浄する工程と、この酸化された第1の非晶質シリコンをエッチングする工程とを具備するもので、第1の非晶質シリコンの一部にレジストを形成し、レジストをマスクとして酸化洗浄し、レジストが形成されていない部分の表面を酸化させ、この酸化された第1の非晶質シリコンをエッチングすることにより、第1の非晶質シリコンの膜厚を異ならせる。

【0019】また、第1の非晶質シリコンの厚さを異ならせた後に第2の非晶質シリコンを成膜する工程を具備するもので、第2の非晶質シリコンの形成によりチャネルの膜厚を設定する。

【0020】さらに、第1の非晶質シリコンにより形成された第1の多結晶シリコンおよび第2の非晶質シリコンにより形成された第2の多結晶シリコンの少なくとも一方は、p型不純物およびn型不純物のいずれかを含有しているもので、第1の多結晶シリコンおよび第2の多結晶シリコンのいずれかに、p型不純物またはn型不純物を含有することにより、所望の特性の薄膜トランジスタを形成する。

【0021】またさらに、請求項1ないし3いずれか記載の回路基板をアレイ基板とし、このアレイ基板に対向して配設された対向基板と、前記アレイ基板および対向基板間に配設された液晶とを具備したものである。

【0022】

【発明の実施の形態】以下、本発明の一実施の形態の液晶表示装置を図面を参照して説明する。

【0023】図2に示すように、液晶表示装置1は、マトリクスアレイ基板2に対向基板3に対向させ、これらマトリクスアレイ基板2および対向基板3間に液晶4を挟持させている。また、マトリクスアレイ基板2は第1の透明絶縁基板5上にマトリクス状に薄膜トランジスタ6が配設され、この薄膜トランジスタ6に対応して同様にマトリクス状に画素電極7が形成され、対向基板3は第2の透明絶縁基板8上に対向電極9が形成されている。

【0024】また、この液晶表示装置1は、図3に示すように、コプラナ型のCMOS (Complementary MOS) 駆動回路用の薄膜トランジスタ11が複数設けられ、この駆動回路用の薄膜トランジスタ11は、nチャネルの薄膜トランジスタ12およびpチャネルの薄膜トランジスタ13が対設けられ、nチャネルの薄膜トランジスタ12は、ゲート電極14、ドレイン電極15およびソース電極16を有

しており、pチャネルの薄膜トランジスタ13は、nチャネルの薄膜トランジスタ12のゲート電極14に接続されたゲート電極17、nチャネルの薄膜トランジスタ12のソース電極16に接続されたドレイン電極18およびソース電極19を有している。

【0025】そして、nチャネルの薄膜トランジスタ12のソース電極16およびpチャネルの薄膜トランジスタ13のドレイン電極18の接続点は、それぞれ平行に形成されたゲート線21に接続され、これらゲート線21に直交して複数の信号線22が設けられている。

【0026】また、ゲート線21および信号線22の交点では、ゲート線21に画素用の薄膜トランジスタ6のゲート電極23が接続され、信号線22にソース電極24が接続され、ドレイン電極25は画素電極7に接続され、この画素電極7は液晶4を介して対向電極9に接続され、液晶には並列に補助電極26が接続されている。

【0027】次に、画素用の薄膜トランジスタ6および駆動回路用の薄膜トランジスタ11のnチャネルの薄膜トランジスタ12の構造について図1を参照して説明する。

【0028】マトリクスアレイ基板2の第1の透明絶縁基板5上に、バッファ層31が形成され、このバッファ層31上に、画素用の薄膜トランジスタ6および駆動回路用の薄膜トランジスタ11のnチャネルの薄膜トランジスタ12が形成されている。

【0029】そして、このバッファ層31上に多結晶シリコン膜32が形成され、この多結晶シリコン膜32の画素用の薄膜トランジスタ6の対応する部分に図4に示すように多結晶シリコンの平均粒径が $0.2\mu\text{m}$ と小さく移動度が小さい膜厚のチャネル領域33、ソース領域34およびドレイン領域35が形成されているとともに、駆動回路用のnチャネルの薄膜トランジスタ12の対応する部分に図5に示すように多結晶シリコンの平均粒径が $0.5\mu\text{m}$ と大きく移動度が大きいやや膜薄でチャネル領域33とは不純物濃度が異なるチャネル領域36、ソース領域37およびドレイン領域38が形成されている。

【0030】また、これら多結晶シリコン膜32上にはゲート絶縁膜41が形成され、このゲート絶縁膜41上の画素用の薄膜トランジスタ6のチャネル領域33の上方にはゲート電極23が形成され、駆動回路用のnチャネルの薄膜トランジスタ12のチャネル領域36の上方にはゲート電極14が形成されている。

【0031】さらに、これらゲート電極23およびゲート電極14を含むゲート絶縁膜41上には層間絶縁膜42が形成され、層間絶縁膜42およびゲート絶縁膜41にはコンタクトホール43、44、45、46が形成されている。そして、コンタクトホール43にはソース領域34に電氣的に接続されるソース電極24が形成され、コンタクトホール44にはドレイン領域35に電氣的に接続されるドレイン電極25が形成され、コンタクトホール45にはソース領域37に電氣的に接続されるソース電極16が形成され、コンタクトホー

ル46にはドレイン領域38に電氣的に接続されるドレイン電極15が形成されている。

【0032】また、これら画素用の薄膜トランジスタ6および駆動回路用の薄膜トランジスタ11のnチャネルの薄膜トランジスタ12の表面には保護膜47が形成されている。

【0033】次に、これら画素用の薄膜トランジスタ6および駆動回路用の薄膜トランジスタ11のnチャネルの薄膜トランジスタ12の製造方法について説明する。

【0034】まず、図6に示すように、第1の透明絶縁基板5上にバッファ層31およびたとえばノンドープの第1の非晶質シリコン(a-Si)51を 25nm の膜厚で積層形成する。

【0035】次に、図7に示すように、フォトリソグラフィによりたとえばレジスト52をパターンニングする。

【0036】そして、図8に示すように、オゾン(O_3)水などの洗浄でレジスト52が被着されていない領域の非晶質シリコンを酸化しシリコン酸化膜53とする。なお、 20ppm のオゾン水を用いれば酸化されシリコン酸化膜53となる膜厚は $2\text{nm}\sim 3\text{nm}$ 程度である。

【0037】さらに、図9に示すように、フッ酸(HF)系などの薬液でシリコン酸化膜53をエッチングする。

【0038】再度、図10に示すように、レジスト52が被着していない領域をオゾン水を用いて酸化させ、シリコン酸化膜54を形成する。

【0039】また、図11に示すように、フッ酸系などの薬液でシリコン酸化膜54をエッチングする。

【0040】さらに、図12に示すように、レジスト52をエッチングして剥離し、第1の非晶質シリコン51の膜厚が 25nm の領域と 20nm の領域と異なる膜厚の領域を形成できる。なお、この第1の非晶質シリコン51のエッチングは、ケミカルドライエッチング(CDE)などでは、制御性がなく極薄膜のエッチング、特に途中中断のエッチングは困難である。

【0041】次に、図13に示すように、たとえばボロン(B)などの不純物を $2\text{E}17\text{cm}^{-3}$ ドープした第2の非晶質シリコン55を 25nm の膜厚で積層成膜し、脱水素アニール処理を施した後、エキシマレーザアニール(ELA)し、非晶質シリコンを多結晶シリコン化するとともに不純物を膜厚方向に拡散させる。

【0042】そして、図14に示すように、多結晶シリコン膜56を形成する。なお、膜厚が厚い領域は平均粒径 $0.2\mu\text{m}$ と小さく、ボロン濃度は $1.0\text{E}17\text{cm}^{-3}$ と薄くなり、膜厚が薄い領域は平均粒径 $0.5\mu\text{m}$ と大きく、ボロン濃度は $1.1\text{E}17\text{cm}^{-3}$ と濃くなる。これにより、膜厚が厚い領域では低移動度になり、膜厚が薄い領域では高移動度で閾値電圧が厚膜の領域より正側にシフトする。

【0043】したがって、液晶表示装置に用いれば大型で高精細化できる。

【0044】次に、他の製造方法について説明する。

【0045】基本的には、図6ないし図14に示す製造方法と同様であるが、図6に示す第1の非晶質シリコン51をノンドーパとせず、たとえば、 $3 \times 10^{17} \text{ cm}^{-3}$ のボロンをドーパしたものをを用い、図13に示す第2の非晶質シリコン55に不純物をドーパしないものを用いている。そして、脱水素アニール処理を施した後、エキシマレーザアニールして多結晶シリコン化するとともに第1の非晶質シリコン51の不純物を膜厚方向に拡散させる。

【0046】なお、膜厚が厚い領域は平均粒径 $0.2 \mu\text{m}$ と小さく、ボロン濃度は $1.5 \times 10^{17} \text{ cm}^{-3}$ と濃くなり、膜厚が薄い領域は平均粒径 $0.5 \mu\text{m}$ と大きく、ボロン濃度は $1.3 \times 10^{17} \text{ cm}^{-3}$ と薄くなる。これにより、膜厚が厚い領域では低移動度になり、膜厚が薄い領域では高移動度で閾値電圧が厚膜の領域より負側にシフトする。

【0047】そして、閾値電圧と不純物であるボロンの関係は、図15および図16に示すように、チャネル領域33、36のボロン濃度が高くなるとnチャネルでは閾値電圧が正側に、pチャネルでは負側にシフトするので、所望の閾値電圧を得るためのボロンの濃度にすればよい。また、不純物としてもボロンに限らず、他のp型不純物およびn型不純物を用いることができる。

【0048】また、第1の非晶質シリコン51と第2の非晶質シリコン55の少なくともいずれかに不純物がドーパされていればよく、膜厚を考慮してノンドーパ膜の膜厚を厚くすることで、制御が困難といわれている低濃度のボロンのドーパが実現でき、第1の非晶質シリコン51と第2の非晶質シリコン55を不純物濃度が異なるドーパ膜としてもよい。

【0049】さらに、画素用薄膜トランジスタ6のチャネル領域33を回路駆動用の薄膜トランジスタ12、13のチャネル領域36より厚くして形成したが、膜厚の関係を逆にしてもよく、それぞれnチャネルあるいはpチャネルのいずれで形成してもよく、コプラナ型以外の形態にしてもよい。

【0050】

【発明の効果】本発明によれば、薄膜トランジスタのチャネル領域の膜厚を異ならせることにより、薄膜トランジスタの移動度などの特性を異ならせることができる。

【0051】また、簡単に1つの基板にチャネル領域の

膜厚の薄膜トランジスタを形成できる。

【図面の簡単な説明】

【図1】本発明の薄膜トランジスタの一実施の形態を示す断面図である。

【図2】同上液晶表示装置を示す断面図である。

【図3】同上液晶表示装置を等価的に示す等価回路図である。

【図4】同上薄膜トランジスタの膜厚の厚い部分のチャネル領域の多結晶シリコンの粒径を示す模式図である。

【図5】同上薄膜トランジスタの膜厚の薄い部分のチャネル領域の多結晶シリコンの粒径を示す模式図である。

【図6】同上液晶表示装置の一製造工程を示す断面図である。

【図7】同上液晶表示装置の図6の次の製造工程を示す断面図である。

【図8】同上液晶表示装置の図7の次の製造工程を示す断面図である。

【図9】同上液晶表示装置の図8の次の製造工程を示す断面図である。

【図10】同上液晶表示装置の図9の次の製造工程を示す断面図である。

【図11】同上液晶表示装置の図10の次の製造工程を示す断面図である。

【図12】同上液晶表示装置の図11の次の製造工程を示す断面図である。

【図13】同上液晶表示装置の図12の次の製造工程を示す断面図である。

【図14】同上液晶表示装置の図13の次の製造工程を示す断面図である。

【図15】同上pチャネル薄膜トランジスタの閾値電圧とボロン濃度との関係を示すグラフである。

【図16】同上nチャネル薄膜トランジスタの閾値電圧とボロン濃度との関係を示すグラフである。

【符号の説明】

- 1 液晶表示装置
- 2 アレイ基板
- 3 対向基板
- 4 液晶
- 6, 11, 12, 13 薄膜トランジスタ
- 33, 36 チャネル領域
- 51 第1の非晶質シリコン
- 52 レジスト
- 55 第2の非晶質シリコン

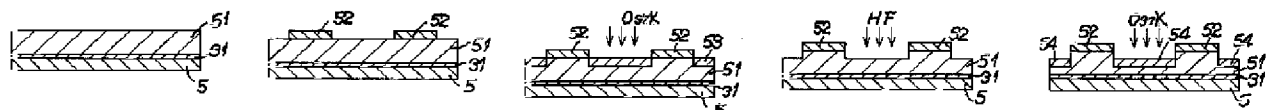
【図6】

【図7】

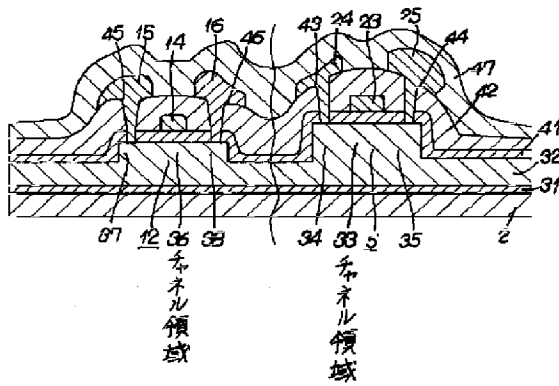
【図8】

【図9】

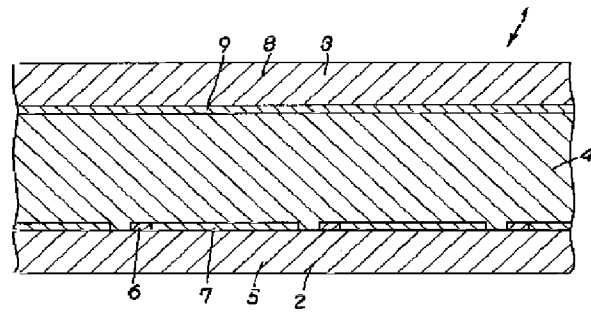
【図10】



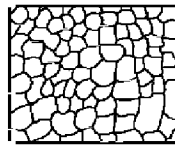
【図1】



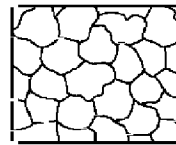
【図2】



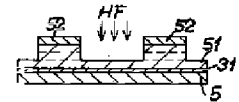
【図4】



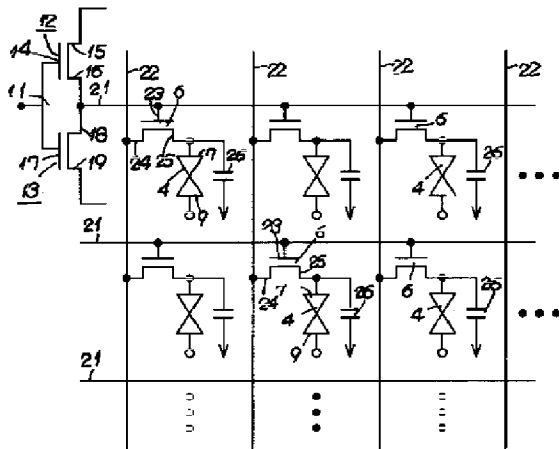
【図5】



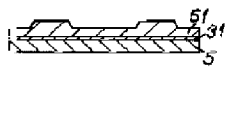
【図11】



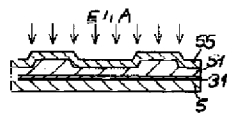
【図3】



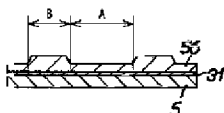
【図12】



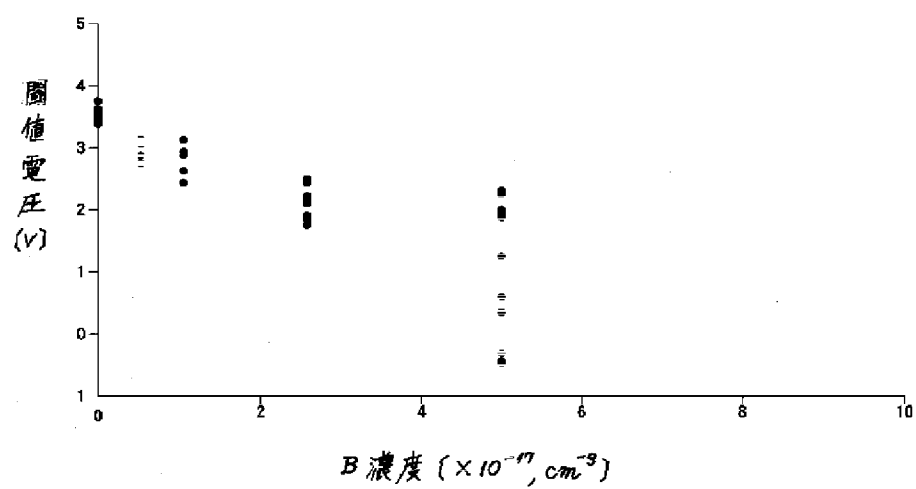
【図13】



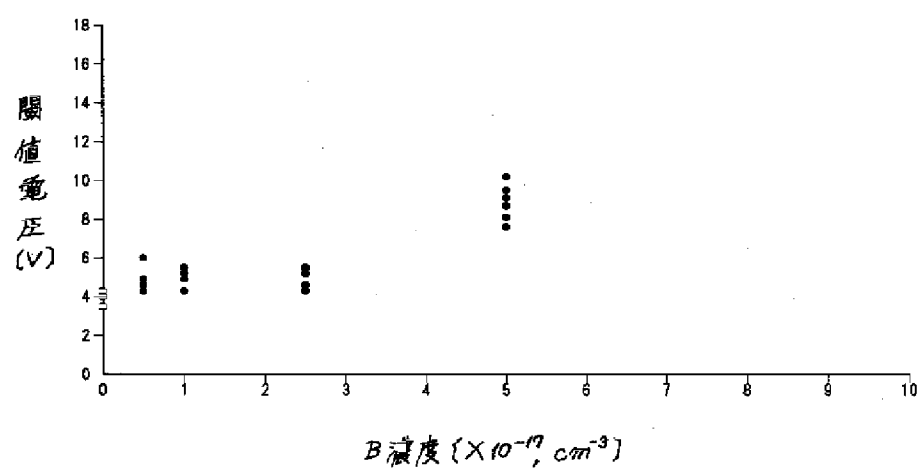
【図14】



【図15】



【図16】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-281997

(43)Date of publication of application : 15.10.1999

(51)Int.Cl.

G02F 1/1345

G02F 1/136

(21)Application number : 10-079839

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.03.1998

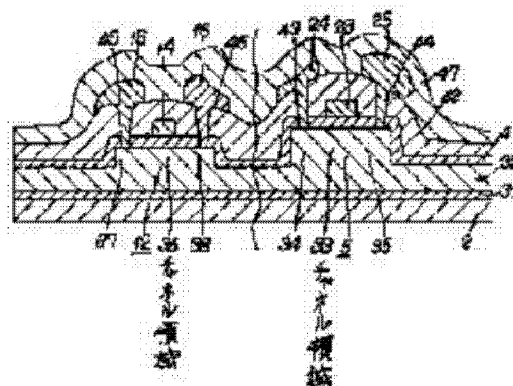
(72)Inventor : GOTO YASUMASA
IMAI NOBUO

(54) CIRCUIT BOARD, ITS PRODUCTION, AND LIQUID CRYSTAL DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display having thin film transistors different by characteristics.

SOLUTION: Thin channel area 33, source area 34, and drain area 35 where the average particle size of poly crystalline silicone is small 0.2 μm and the degree of movement is small are formed in corresponding parts of a thin film transistor TFT for picture element of a poly crystalline silicon film 32. Rather thick channel area 36, source area 37, and drain area 38 where the average particle size of poly crystalline silicone is large 0.5 μm and the degree of movement is large and the density of impurities is different from that of the channel area 33 are formed in corresponding parts of a TFT for driving circuit. The degree of movement is low in areas having a large film thickness, and the degree of movement is high in areas having a small film thickness and a threshold voltage is shifted more positively than areas having a large film thickness.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]The circuit board, wherein thickness of channel regions of said thin film transistor differs in the circuit board in which two or more thin film transistors which have channel regions of polycrystalline silicon were provided.

[Claim 2]The circuit board according to claim 1, wherein impurity concentration of channel regions differs.

[Claim 3]The 2nd polycrystalline silicon formed with the 1st polycrystalline silicon and 2nd amorphous silicon that were formed with the 1st amorphous silicon laminates channel regions, and they are formed, The circuit board, wherein either [at least] the 1st polycrystalline silicon or the 2nd polycrystalline silicon contains either a p type impurity and a n type impurity.

[Claim 4]A manufacturing method of the circuit board characterized by comprising the following with which two or more thin film transistors which have channel regions of polycrystalline silicon were provided.

A process of forming the 1st amorphous silicon on a substrate.

A process which changes thickness of said 1st amorphous silicon.

A process of using the 1st amorphous silicon as polycrystalline silicon by laser beam annealing.

[Claim 5]A manufacturing method of the circuit board according to claim 4 characterized by comprising the following.

A process at which a process which changes thickness of the 1st amorphous silicon forms resist in said a part of 1st amorphous silicon.

A process of carrying out oxidation washing by using this resist as a mask.

A process of etching this 1st oxidized amorphous silicon.

[Claim 6]A manufacturing method of the circuit board possessing a process of forming the 2nd amorphous silicon after changing thickness of the 1st amorphous silicon according to claim 4 or 5.

[Claim 7]A manufacturing method of the circuit board, wherein at least one side of the 2nd polycrystalline silicon formed with the 1st polycrystalline silicon and 2nd amorphous silicon that were formed with the 1st amorphous silicon contains either a p type impurity and a n type impurity.

[Claim 8]A liquid crystal display by which it was characterized, comprising:

Claims 1 thru/or 3 are the counter substrates which used the circuit board of a statement as an array substrate, countered this array substrate, and were allocated either.

A liquid crystal allocated between said array substrate and a counter substrate.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the circuit board in which two or more thin film transistors were allocated, its manufacturing method, and a liquid crystal display.

[0002]

[Description of the Prior Art]Generally, thin-type-izing of an indicator is possible for display devices, such as plasma, a light emitting diode, and a liquid crystal, and the demand is increasing as a use to a display or special displays, such as a business machine and a computer.

[0003]In these, The thin film transistor (Thin Film Transistor) using the polycrystalline silicon (polysilicon: poly-Si) which has an amorphous amorphous silicon (a-Si) or crystal phase is used as a switching element. The liquid crystal display (TFT-LCD) of the thin film transistor allocated in matrix form has high display quality, and is low power consumption.

[0004]Especially the thin film transistor using polycrystalline silicon, Since mobility is higher from 10 about 100 times than the thin film transistor using amorphous silicon, It not only uses, but it uses the thin film transistor of polycrystalline silicon for a circumference drive circuit as a switching element for pixels, The liquid crystal display of the thin film transistor of a drive circuit integral type which forms simultaneously the thin film transistor for pixels and the thin film transistor for drive circuits on the same board is developed.

[0005]By the thin film transistor for drive circuits, and the thin film transistor for pixels, it is mentioned as a technical problem at the time of using polycrystalline silicon for the liquid crystal display of a thin film transistor that the performances demanded differ. That is, in the thin film transistor for [in mobility] a 5-30- cm^2/Vs grade and drive circuits at the thin film transistor for pixels, a 60-150- cm^2/Vs grade is required. 1.0V-3.0V, by the thin film transistor of an n channel, the object for drive circuits also about threshold voltage (V_{th}), It is -2.0V - -4.0V, and since the object for pixels differs in the value required as 2.0V-4.0V by the thin film transistor of an n channel, it needs to control threshold voltage by the thin film transistor of a p channel independently.

[0006]Conventionally, the thin film transistor of the hybrid type which used amorphous silicon for the thin film transistor for pixels, and used polycrystalline silicon for the thin film transistor for drive circuits is known about mobility to such a technical problem.

[0007]However, the thin film transistor of a hybrid type needs long wiring for the thin film transistor for drive circuits, and the thin film transistor for pixels, in order that a manufacturing process may create a complicated thing, amorphous silicon, and polycrystalline silicon to the same board. Namely, the manufacturing method of the thin film transistor of a hybrid type, Since it is only about 0.5 mm when the boundary of polycrystalline silicon and amorphous silicon takes mechanical doubling accuracy into consideration, since the method of Pori-izing only the thin film transistor for drive circuits by excimer laser annealing (ELA) etc. was used, Long wiring must be provided in a boundary and it disagrees with narrow picture frame-ization of the feature of the liquid crystal display of the thin film transistor of polycrystalline silicon. Since wiring is long, wiring resistance increases and de facto driving ability also declines.

[0008]The thin film transistor of the hybrid polycrystalline silicon in which the fluence of excimer laser annealing is changed by the object for picture element parts and the object for drive circuits, and particle diameter differs is formed, The thin film transistor for picture element parts is made into low mobility, and also when making the thin film transistor for drive circuits into high mobility, it has the same problem.

[0009]Although the impurity was driven in into the active layer by a channel dope and it was made to change about threshold voltage, The thin film transistor of a p channel, and the thin film transistor of an n channel, Or by the thin film transistor for pixels, and the thin film transistor for drive circuits, in order to have to carry out a mask in order to control threshold voltage independently, respectively, and to have to drive in an impurity, a process becomes complicated.

[0010]

[Problem(s) to be Solved by the Invention]As mentioned above, it has a problem which cannot form easily the thin film transistor from which mobility and threshold voltage differ in the same board.

[0011]This invention was made in view of the above-mentioned problem, and an object of this invention is to provide the circuit board which has a thin film transistor from which the characteristic differs, its manufacturing method, and a liquid crystal display.

[0012]

[Means for Solving the Problem]In the circuit board in which two or more thin film transistors which have channel regions of polycrystalline silicon were provided, this invention differs in thickness of channel regions of said thin film transistor.

[0013]And the characteristics, such as mobility of a thin film transistor, are changed by changing thickness of channel regions of a thin film transistor.

[0014]Impurity concentration of channel regions differs and threshold voltage of a thin film transistor is changed.

[0015]The 2nd polycrystalline silicon formed with the 1st polycrystalline silicon and 2nd amorphous silicon that were formed with the 1st amorphous silicon laminates channel regions, and they are formed, Either [at least] the 1st polycrystalline silicon or the 2nd polycrystalline silicon A thin film transistor of the desired characteristic is formed by containing either a p type impurity and a n type impurity, and containing a p type impurity or a n type impurity in either the 1st polycrystalline silicon and the 2nd polycrystalline silicon.

[0016]A manufacturing method of the circuit board whose this invention is characterized by that a thing comprises the following and with which two or more thin film transistors which have channel regions of polycrystalline silicon were provided.

A process of forming the 1st amorphous silicon on a substrate.

A process which changes thickness of said 1st amorphous silicon.

A process of using the 1st amorphous silicon as polycrystalline silicon by laser beam annealing.

[0017]And if laser beam annealing of the 1st amorphous silicon in which thickness differs is carried out, Particle diameter of polycrystalline silicon of a thin portion of thickness becomes large, and can enlarge mobility, and particle diameter of polycrystalline silicon of a thick portion of thickness becomes small, can make mobility small, and is changed in the characteristic of a thin film transistor.

[0018]A process which changes thickness of the 1st amorphous silicon, It is a thing possessing a process of forming resist in said a part of 1st amorphous silicon, a process of carrying out oxidation washing by using this resist as a mask, and a process of etching this 1st oxidized amorphous silicon, Thickness of the 1st amorphous silicon is changed by forming resist in a part of 1st amorphous silicon, carrying out oxidation washing by using resist as a mask, oxidizing the surface of a portion in which resist is not formed, and etching this 1st oxidized amorphous silicon.

[0019]After changing thickness of the 1st amorphous silicon, a process of forming the 2nd amorphous silicon is provided, and thickness of a channel is set up by formation of the 2nd amorphous silicon.

[0020]At least one side of the 2nd polycrystalline silicon formed with the 1st polycrystalline silicon and 2nd amorphous silicon that were formed with the 1st amorphous silicon, A thin film transistor of the desired characteristic is formed by containing either a p type impurity and a n type impurity, and containing a p type impurity or a n type impurity in either the 1st polycrystalline silicon and the 2nd polycrystalline silicon.

[0021]There is no claim 1, the circuit board of a statement is used as an array substrate 3 either, and a liquid crystal allocated between a counter substrate which countered this array substrate and was allocated, and said array substrate and a counter substrate is provided.

[0022]

[Embodiment of the Invention]Hereafter, the liquid crystal display of the 1 embodiment of this invention is explained with reference to drawings.

[0023]The liquid crystal display 1 makes the counter substrate 3 counter the matrix array substrate 2, and is making the liquid crystal 4 pinch between these matrix array substrates 2 and the counter substrate 3, as shown in drawing 2. As for the matrix array substrate 2, the thin film transistor 6 is allocated by matrix form on the 1st transparent insulating substrate 5, the picture element electrode 7 is similarly formed in matrix form corresponding to this thin film transistor 6, and, as for the counter substrate 3, the counterelectrode 9 is formed on the 2nd transparent insulating substrate 8.

[0024]As this liquid crystal display 1 is shown in drawing 3, two or more thin film transistors 11 for the CMOS (Complementary MOS) drive circuits of a coplanar mold are formed, One pair of thin film transistor 11 for these drive circuits is formed by the thin film transistor 12 of an n channel, and the thin film transistor 13 of a p channel, and the thin film transistor 12 of an n channel, Have the gate electrode 14, the drain electrode 15, and the source electrode 16, and the thin film transistor 13 of a p channel, It has the drain electrode 18 and the source electrode 19 which were connected to the gate electrode 17 connected to the gate electrode 14 of the thin film transistor 12 of an n channel, and the source electrode 16 of the thin film transistor 12 of an n channel.

[0025]And the node of the source electrode 16 of the thin film transistor 12 of an n channel and the drain electrode 18 of the thin film transistor 13 of a p channel is connected to the gate line 21 formed in parallel, respectively, it intersects perpendicularly with these gate lines 21, and two or more signal wires 22 are formed.

[0026]On the intersection of the gate line 21 and the signal wire 22. The gate electrode 23 of the thin film transistor 6 for pixels is connected to the gate line 21, the source electrode 24 is connected to the signal wire 22, the drain electrode 25 is connected to the picture element electrode 7, this picture element electrode 7 is connected to the counterelectrode 9 via the liquid crystal 4, and the auxiliary electrode 26 is connected to the liquid crystal in parallel.

[0027]Next, the structure of the thin film transistor 12 of the n channel of the thin film transistor 6 for pixels and the thin film transistor 11 for drive circuits is explained with reference to drawing 1.

[0028]The buffer layer 31 is formed on the 1st transparent insulating substrate 5 of the matrix array substrate 2, and the thin film transistor 12 of the n channel of the thin film transistor 6 for pixels and the thin film transistor 11 for drive circuits is formed on this buffer layer 31.

[0029]And the polycrystalline silicon film 32 is formed on this buffer layer 31, As shown in drawing 4 at the portion to which the thin film transistor 6 for the pixels of this polycrystalline silicon film 32 is equivalent, while the channel regions 33, the source region 34, and the drain area 35 of thickness with small mobility with as small mean particle diameter of polycrystalline silicon as 0.2 micrometer are formed, As shown in drawing 5 at the portion to which the thin film transistor 12 of the n channel for drive circuits is equivalent. The channel regions 36 where mean particle diameter is as large as 0.5 micrometer, and mobility is large and where the channel regions 33 differ [filminess] in impurity concentration a little, the source region 37, and the drain area 38 of polycrystalline silicon are formed.

[0030]The gate dielectric film 41 is formed on these polycrystalline silicon films 32, The gate electrode 23 is formed above the channel regions 33 of the thin film transistor 6 for the pixels on this gate dielectric film 41, and the gate electrode 14 is formed above the channel regions 36 of the thin film transistor 12 of the n channel for drive circuits.

[0031]The interlayer insulation film 42 is formed on the gate dielectric film 41 containing these gate electrodes 23 and the gate electrode 14, and the contact holes 43, 44, 45, and 46 are formed in the interlayer insulation film 42 and the gate dielectric film 41. And the source electrode 24 electrically connected to the source region 34 is formed in the contact hole 43, The drain electrode 25 electrically connected to the drain area 35 is formed in the contact hole 44, The source electrode 16 electrically connected to the source region 37 is formed in the contact hole 45, and the drain electrode 15 electrically connected to the drain area 38 is formed in the contact hole 46.

[0032]The protective film 47 is formed in the surface of the thin film transistor 12 of the n channel of the thin film transistor 6 for these pixels, and the thin film transistor 11 for drive circuits.

[0033]Next, the manufacturing method of the thin film transistor 12 of the n channel of the thin film transistor 6 for these pixels and the thin film transistor 11 for drive circuits is explained.

[0034]First, as shown in drawing 6, laminating formation of the buffer layer 31 and the 1st non-doped amorphous silicon (a-Si) 51 is carried out by 25-nm thickness on the 1st transparent insulating substrate 5.

[0035]Next, as shown in drawing 7, the resist 52 is patterned by a photolithography.

[0036]And as shown in drawing 8, it oxidizes and let amorphous silicon of a field on which the resist 52 is not laminated by washing of ozone (O_3) water etc. be the silicon oxide 53. The thickness which will oxidize if 20 ppm ozone water is used, and serves as the silicon oxide 53 is 2 nm – about 3 nm.

[0037]As shown in drawing 9, the silicon oxide 53 is etched with drug solutions, such as a fluoric acid (HF) system.

[0038]Again, as shown in drawing 10, the field which the resist 52 has not laminated is oxidized using ozone water, and the silicon oxide 54 is formed.

[0039]As shown in drawing 11, the silicon oxide 54 is etched with drug solutions, such as a fluoric acid system.

[0040]As shown in drawing 12, the resist 52 is etched, it exfoliates and the thickness of the 1st amorphous silicon 51 can form the field of different thickness from the field which is 25 nm, and a 20-nm field. Etching of this 1st amorphous silicon 51 does not have controllability at chemical dry etching (CDE), and etching of an ultra-thin film, especially etching of midcourse discontinuation are difficult.

[0041]Next, as shown in drawing 13, lamination membrane formation of the 2nd amorphous silicon 55 that 2– $E-17\text{ cm}^{-3}$ -doped impurities, such as boron (B), is carried out by 25-nm thickness, Excimer laser annealing (ELA) is carried out, and while polycrystalline-silicon-izing amorphous silicon, a thickness direction is made to diffuse an impurity, after performing dehydration annealing treatment.

[0042]And as shown in drawing 14, the polycrystalline silicon film 56 is formed. The field where thickness is thick is as small as the mean particle diameter of 0.2 micrometer, boron concentration becomes thin with $1.0E17\text{ cm}^{-3}$, the field where thickness is thin is as large as the mean particle diameter of 0.5 micrometer, and boron concentration becomes deep with $1.1E17\text{ cm}^{-3}$. Thickness becomes low mobility in a thick field by this, and threshold voltage shifts to a right side from the field of a thick film by high mobility in the field where thickness is thin.

[0043]Therefore, if it uses for a liquid crystal display, it will be large-sized and-izing can be carried out [highly minute].

[0044]Next, other manufacturing methods are explained.

[0045]Although it is the same as that of the manufacturing method shown in drawing 6 thru/or drawing 14 fundamentally, What does not dope an impurity is used for the 2nd amorphous silicon 55 shown in drawing 13 using what did not make non-doped the 1st amorphous silicon 51 shown in drawing 6, for example, doped boron of three $E17\text{ cm}^{-3}$. And while carrying out excimer laser annealing and polycrystalline-silicon-izing, a thickness direction is made to diffuse the impurity of the 1st amorphous silicon 51, after performing dehydration annealing treatment.

[0046]The field where thickness is thick is as small as the mean particle diameter of 0.2 micrometer, boron concentration becomes deep with $1.5E17\text{ cm}^{-3}$, the field where thickness is thin is as large as the mean particle diameter of 0.5 micrometer, and boron concentration becomes thin with $1.3E17\text{ cm}^{-3}$. Thickness becomes low mobility in a thick field by this, and threshold voltage shifts to a negative side from the field of a thick film by high mobility in the field where thickness is thin.

[0047]And what is necessary is just to make them into the concentration of boron for obtaining desired threshold voltage, since threshold voltage will shift to a right side in an n channel and will shift to a negative side threshold voltage and the relation of boron which is an impurity by a p channel, if the boron concentration of the channel regions 33 and 36 becomes high as shown in drawing 15 and drawing 16. The p type impurity and n type impurity of not only boron but the others as an impurity can be used.

[0048]By the thing of the 1st amorphous silicon 51 and the 2nd amorphous silicon 55 for which the impurity should just be doped by either at least and thickness of a non-doped film is thickened in consideration of thickness. It is good also as a dope film which can realize the dose of the low-concentration boron said for control to be difficult and in which impurity concentration differs the 1st amorphous silicon 51 and 2nd amorphous silicon 55.

[0049]Although the channel regions 33 of the thin film transistor 6 for pixels were made thicker than the channel regions 36 of the thin film transistors 12 and 13 for a circuit drive and were formed, The relation of thickness may be made reverse, and it may form by any of an n channel or a p channel, respectively, and may

be made gestalten other than a coplanar mold.

[0050]

[Effect of the Invention]According to this invention, the characteristics, such as mobility of a thin film transistor, can be changed by changing the thickness of the channel regions of a thin film transistor.

[0051]The thin film transistor of the thickness of channel regions can be easily formed in one substrate.

[Translation done.]